

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-330413

(43)Date of publication of application : 30.11.1999

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 21/768

(21)Application number : 10-130451

(71)Applicant : NEC CORP

(22)Date of filing : 13.05.1998

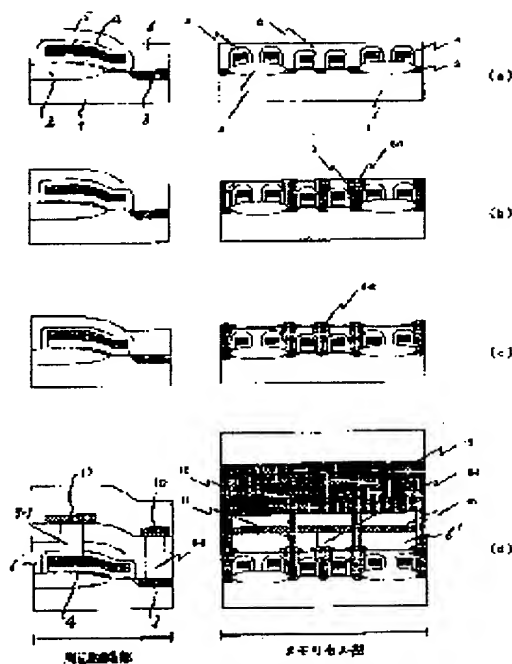
(72)Inventor : FUKASE TADASHI
KOMURO MASAHIRO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent insulation failures between adjacent pads due to the collapses of selectivity during the selective growth of conductor for forming pads, in a method for forming connection pads which are used for memory cell contacts of a DRAM or the like.

SOLUTION: Contact holes reaching a source and drain region 3 on a metal oxide semiconductor(MOS) transistor are made into an interlayer insulating film 6. A contact plug 8-1 is formed of polycrystalline silicon. After that, a pad 8-2 of connection pad is formed through a method, by which polycrystalline silicon is not deposited on the interlayer insulating film 6 but is grown only on the plug 8-1. The diameter of the pad can be made larger than that of the plug by conducting an isotropic selective growth. Since selective growth is applied only to an upper part of the pad, the growth can be completed in a short time and the selectivity is hardly collapsed. Also, since the pad is formed by selective growth on the conductive plug formed in advance, it does not depend on the sub material of substrate.



LEGAL STATUS

[Date of request for examination] 13.05.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3180760

[Date of registration] 20.04.2001

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-330413

(43)公開日 平成11年(1999)11月30日

(51)Int.Cl.⁸
H 0 1 L 27/108
21/8242
21/768

識別記号

F I
H 0 1 L 27/10 6 2 1 B
21/90 C
27/10 6 8 1 B

審査請求 有 請求項の数 9 O L (全 11 頁)

(21)出願番号 特願平10-130451
(22)出願日 平成10年(1998)5月13日

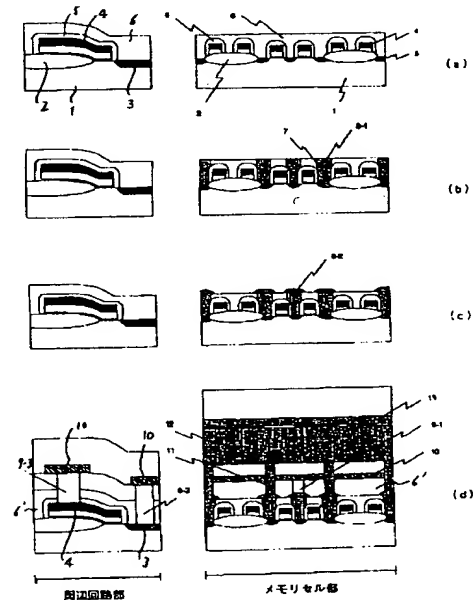
(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72)発明者 深瀬 匡
東京都港区芝五丁目7番1号 日本電気株
式会社内
(72)発明者 小室 雅宏
東京都港区芝五丁目7番1号 日本電気株
式会社内
(74)代理人 弁理士 後藤 洋介 (外1名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 DRAMのメモリセルコンタクトなどに用いられるコネクショパッド形成方法において、パッド形成のための導電体選択成長時、選択性が崩れることによる隣接間パッドの絶縁不良を防止する。

【解決手段】 MOSトランジスタのソース及びドレイン領域3に到達するコンタクト孔を層間絶縁膜6に開孔し、多結晶シリコンでコンタクトプラグ8-1を形成する。その後、層間絶縁膜6上には堆積せず、プラグ8-1上のみ多結晶シリコンが成長する方法を用いて、コネクショパッドのパッド8-2を形成する。このとき等方的に選択成長を行うことにより、パッドをプラグの直径より大きくすることができる。選択成長は、パッド上部だけであるので、成長時間が短くて済み、選択性が崩れにくい。また、パッドの形成は、導電体プラグを予め形成し、導電体プラグ上に、選択成長するので、下地の材料に依存しない。



【特許請求の範囲】

【請求項1】 下層配線と、上層配線と、前記下層配線と前記上層配線とを電氣的に接続する接続部とを有し、この接続部は、前記下層配線に接続されたコネクショ
ンパッドと、このコネクショ
ンパッドと前記上層配線とを
接続するコンタクトとを有する半導体装置を製造する方
法であって、前記下層配線に接続された前記コネクショ
ンパッドを形成するコネクショ
ンパッド形成ステップ
と、前記コネクショ
ンパッドに接続された前記コンタ
クトを形成するステップと、前記コンタクトに接続された
前記上層配線を形成するステップとを有する前記半導体
装置の製造方法において、
前記コネクショ
ンパッド形成ステップは、
半導体基板の主面に、前記下層配線として作用する領域
を形成する第1のステップと、
該領域が形成された前記主面全面に層間絶縁膜を形成す
る第2のステップと、
前記層間絶縁膜に、前記領域に連絡するコンタクト孔を
形成する第3のステップと、
該コンタクト孔に第1の導電体を埋め込み、前記領域に
接触する底面と前記層間絶縁膜の表面と同一平面をなす
上面とを有する、前記第1の導電体からなるコンタクト
プラグを、前記コンタクト孔に形成する第4のステップ
と、
前記コンタクトプラグの前記上面上に第2の導電体を等
方的に堆積し、前記コンタクトプラグの上面より大きい
底面を有する、前記第2の導電体からなるパッドを、前
記コンタクトプラグの前記上面上及び前記層間絶縁膜の
表面上に形成する第5のステップとを有し、
前記コンタクトプラグと前記パッドとが前記コネク
ションパッドを構成していることを特徴とする半導体装置の
製造方法。
【請求項2】 請求項1に記載の半導体装置の製造方法
において、
前記第1及び前記第2の導電体は多結晶シリコンである
ことを特徴とする半導体装置の製造方法。
【請求項3】 請求項1に記載の半導体装置の製造方法
において、
前記第4のステップは、
前記コンタクト孔から前記第1の導電体が上方に突出部
分として突出した状態に前記第1の導電体を厚く堆積す
ることにより、前記コンタクト孔に前記第1の導電体を
埋め込む工程と、
前記突出部分をエッチバックすることにより、前記領域
に接触する底面と前記層間絶縁膜の表面と同一平面をな
す上面とを有する、前記第1の導電体からなる前記コン
タクトプラグを、前記コンタクト孔に形成する工程とを
有することを特徴とする半導体装置の製造方法。
【請求項4】 請求項1に記載の半導体装置の製造方法
において、

前記第5のステップは、

前記第2の導電体が、前記層間絶縁膜上には実質的に堆
積されずに、前記第1の導電体上に選択的に堆積される
プロセスを用いて、前記コンタクトプラグの前記上面上
に前記第2の導電体を等方的に堆積し、前記パッドを形
成するステップであることを特徴とする半導体装置の製
造方法。

【請求項5】 請求項4に記載の半導体装置の製造方法
において、

前記第1及び前記第2の導電体は多結晶シリコンであ
り、

前記第5のステップは、

前記第2の導電体である多結晶シリコンが、前記層間絶
縁膜上には実質的に堆積されずに、前記第1の導電体で
ある多結晶シリコン上に選択的に堆積される化学的気相
成長プロセスを用いて、前記コンタクトプラグの前記上
面上に前記第2の導電体である多結晶シリコンを等方的
に堆積し、前記パッドを形成するステップであることを
特徴とする半導体装置の製造方法。

【請求項6】 請求項1に記載の半導体装置の製造方法
において、

前記下層配線として作用する領域が不純物拡散領域であ
ることを特徴とする半導体装置の製造方法。

【請求項7】 請求項6に記載の半導体装置の製造方法
において、

前記不純物拡散領域がMOS(Metal Oxide Semiconduct
or)トランジスタのソース領域及びドレイン領域の一方
であることを特徴とする半導体装置の製造方法。

【請求項8】 請求項1に記載の半導体装置の製造方法
において、

前記下層配線として作用する領域が一对の不純物拡散領
域であることを特徴とする半導体装置の製造方法。

【請求項9】 請求項8に記載の半導体装置の製造方法
において、

前記一对の不純物拡散領域がMOS(Metal Oxide Semic
onductor)トランジスタのソース領域及びドレイン領域
であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造
方法に関し、特に、DRAM(Dynamic Random Access M
emory)などの半導体記憶装置の製造方法に関する。

【0002】

【従来の技術】DRAM(Dynamic Random Access Memor
y)は、メモリセル部をマトリクス状に配列したメモリセ
ルアレイを有する。メモリセル部の各々は、1個の選択
用MOS(Metal Oxide Semiconductor)トランジスタと
1個の電荷蓄積用キャパシタで構成するメモリセルを対
にして設けたメモリセル対からなる。選択用MOSトラ
ンジスタは、第1の領域と、第2の領域と、ゲート電極

とを有する。第1の領域は、ソース領域及びドレイン領域のうちの所定の一つである。第2の領域は、ソース領域及びドレイン領域のうちの残りの一つであり、これは電荷蓄積用キャパシタに接続されるものである。各メモリセル部において、一対の選択用MOSトランジスタのゲート電極は別々のワード線を構成している。各メモリセル部において、一対の選択用MOSトランジスタは、前記第1の領域を共通に一つのビット線に接続されている。後に図示するように、各メモリセル部における一対の選択用MOSトランジスタの前記第1の領域（ソース領域及びドレイン領域のうちの所定の一つ）は、典型的には一つの不純物拡散領域として半導体基板に形成され、この不純物拡散領域が一つのビット線に接続される。

【0003】現在、高度に微細化・集積化の進んだ半導体装置として、配線間隔の設計最小寸法が、 $0.2\mu\text{m}$ 以下のものが製造されている。

【0004】そのような微細加工技術により製造される1Gb DRAMは、限られた面積で大きな電荷蓄積用キャパシタの蓄積容量を得るために、ビット線より上に電荷蓄積用キャパシタを形成するCOB (Capacitor Over Bit-line) 構造がとられている。

【0005】図4は、特開平3-174766号公報に記載されているCOB構造を有するDRAMの平面図である。

【0006】図4において、COB構造のDRAMでは、互いに直交するワード線（これは上述のように選択用MOSトランジスタのゲート電極で構成されている）4とビット線10（これは、上述のように選択用MOSトランジスタの前記第1の領域（ソース領域及びドレイン領域のうちの所定の一つ）に接続される）との間に、電荷蓄積用キャパシタと選択用MOSトランジスタの前記第2の領域（ソース領域及びドレイン領域のうちの残りの一つ）とを接続する容量コンタクト11のためのコンタクト孔を開孔する必要がある。なお、ビット線10もビットコンタクト9を介して選択用MOSトランジスタの前記第1の領域（ソース領域及びドレイン領域のうちの所定の一つ）に接続される。また、3は選択用MOSトランジスタのソース領域或いはドレイン領域を形成する半導体基板に設けられた不純物拡散領域である。

【0007】しかし、配線間隔（ワード線（ゲート電極）4間の間隔、すなわち、ソース領域及びドレイン領域間の間隔）が微細になると、目合わせ余裕が小さくなり、配線（ワード線（ゲート電極））4と容量コンタクト11の絶縁性の確保が問題となってきた。

【0008】そこで、配線とコンタクトの絶縁を確保するための様々な方法がとられる。

【0009】図4においては、それらの方法のうち、ワード線（ゲート電極）4と容量コンタクト11の目合わせ余裕を大きくするため、選択用MOSトランジスタの

前記第1の領域（ソース領域及びドレイン領域のうちの所定の一つ）及び前記第2の領域（ソース領域及びドレイン領域のうちの残りの一つ）等にコネクショパッド16を設ける方法を採用している。

【0010】図5に、前述の特開平3-174766号公報に記載されているコネクショパッド16の製造方法を示した。図5は、図4に示したA-A'断面である。

【0011】まず、図5(a)のように、半導体基板1上に素子分離酸化膜2及び選択用MOSトランジスタを形成する。選択用MOSトランジスタは、半導体基板1に形成されたソース領域及びドレイン領域としての不純物拡散領域3と、ソース領域及びドレイン領域間の半導体基板1上に、ゲート絶縁膜を介して形成されたゲート電極（これは上述のようにワード線を構成する）4と、ゲート絶縁膜及びゲート電極4を覆う絶縁膜5とを有する。この状態で、半導体基板1上に層間絶縁膜6を堆積する。

【0012】その後、層間絶縁膜6に、ソース領域及びドレイン領域としての不純物拡散領域3に到達するコンタクト孔7を開孔する。

【0013】コンタクト孔7は、ゲート電極4から電氣的に絶縁されるよう、自己整合コンタクト開孔プロセスなどを用いて開孔する。

【0014】次に、図5(b)に示したように、コンタクト孔7内のみ、例えば多結晶シリコン（又は単結晶シリコン）からなるコネクショパッド16を選択的に成長する。

【0015】このとき、多結晶シリコンの成長をコンタクト孔7の深さ以上にすることにより、多結晶シリコンをコンタクト孔7からあふれるような形にし、パッド16上部をコンタクト孔7の径より大きくする。

【0016】この後、図5(c)のように、層間絶縁膜6を堆積し、コネクショパッド16上部に至るコンタクト孔を開孔して、ビットコンタクト9、ビットコンタクト9に接続されるビット線10、及び容量コンタクト11を順に形成し、容量コンタクト11に接続される電荷蓄積用キャパシタを形成して、DRAMを完成する。電荷蓄積用キャパシタは、容量コンタクト11に接続されるキャパシタ下部電極12と、キャパシタ上部電極13と、キャパシタ下部電極12及びキャパシタ上部電極13間に形成される絶縁膜とからなる。

【0017】この方法によると、コネクショパッド16の上面が大きくなっているため、ビットコンタクト9及び容量コンタクト11を形成するためのコンタクト孔の開孔時のゲート電極4に対する目合わせ余裕は大きくなる。

【0018】また、図6には、iedm 96アブストラクトpp. 589-592に掲載されているコネクショパッドの製造方法を示した。

10

20

30

40

50

【0019】図6(a)のように、半導体基板1上に素子分離酸化膜2及び選択用MOSトランジスタを形成する。選択用MOSトランジスタは、半導体基板1に形成されたソース領域及びドレイン領域としての不純物拡散領域3と、ソース領域及びドレイン領域間の半導体基板1上に、ゲート絶縁膜を介して形成されたゲート電極（これは上述のようにワード線を構成する）4とを有する。選択用MOSトランジスタのゲート電極4は、上部および側壁に、シリコン酸化膜又はシリコン窒化膜等の絶縁膜5を設ける。ゲート電極4の側壁を覆う絶縁膜5の形成には、異方性のドライエッチングを用いる。

【0020】側壁を覆う絶縁膜5を形成した直後には、図のように、選択用MOSトランジスタのソース及びドレイン領域を形成する不純物拡散領域3がゲート電極4に対し、自己整合的に露出する。

【0021】次に図6(b)に示すように、シリコン酸化膜又はシリコン窒化膜等の絶縁膜5上には成長せず、シリコンが露出している部分（不純物拡散領域）3にのみ、例えば多結晶シリコンが成長する方法を用いて、コネクションパッド16-2を形成する。

【0022】このシリコンの成長は、2段階で行う。すなわち、成長の第1段階では、隣接するコネクションパッド16-2が、接触しないように、異方性のエピタキシャル成長を行う。さらに、パッド16-2が、ゲート電極4以上の高さになったところで、等方性の成長に切り替え、パッド16-2上面を拡大する。

【0023】その後、図6(c)のように、層間絶縁膜6を堆積し、コネクションパッド16-2上部に至るコンタクト孔を開孔して、ビットコンタクト9、ビットコンタクト9に接続されるビット線10、及び容量コンタクト11を順に形成し、容量コンタクト11に接続される電荷蓄積用キャパシタを形成して、DRAMを完成する。電荷蓄積用キャパシタは、容量コンタクト11に接続されるキャパシタ下部電極12と、キャパシタ上部電極13と、キャパシタ下部電極12及びキャパシタ上部電極13間に形成される絶縁膜とからなる。

【0024】

【発明が解決しようとする課題】上述した従来の方法では、以下のような問題がある。

【0025】すなわち、図5に示した方法では、コンタクト孔7を開孔した直後に、シリコンの選択成長を行うので、コンタクト孔7からシリコンがあふれるまで成長しなければならず、選択成長の時間が長くなる。

【0026】一般的に、シリコンの選択成長は、露出表面における成長核生成率の違いを利用しており、成長時間が長いほど、また、成長膜厚が厚いほど、成長の選択性は小さくなる。

【0027】したがって、図5の方法では、シリコン成長の選択性が崩れ、隣接するパッドが、接触する可能性がある。

【0028】また、選択成長には、コンタクト孔7の底部にシリコンの完全清浄表面が露出している必要がある。しかしながら、0.2 μm 以下の微細なコンタクト孔7底部に、完全な清浄表面を得ることは困難である。

【0029】一方、図6に示した方法では、図7に示したように、不純物拡散領域3のパターンとゲート電極4のパターン間に目合わせずれが生じると、容量コンタクト11と接続される一対のコンタクトパッド16-2のうち、片側のパッドが十分に成長されない可能性がある。

【0030】なぜならば、ゲート電極4の目合わせずれにより、不純物拡散領域3が十分に露出されず、シリコンの成長速度が鈍るからである。

【0031】また、現在のゲート電極4の構造は、一般的に、その抵抗を下げるため、タングステンシリサイドやチタンシリサイドなどのシリサイドと多結晶シリコンの二重構造となっており、ゲート電極4上にコンタクト孔を開孔すると、そのコンタクト底部にはシリサイドが露出する。しかしながら、シリサイド上へのシリコンの選択成長は困難である。

【0032】したがって、この場合、図6の方法では、ゲート電極上コンタクトのコネクションパッドを形成することはできなかった。

【0033】本発明の課題は、上述した問題を解決することができる半導体装置の製造方法を提供することにある。

【0034】

【課題を解決するための手段】本発明によれば、下層配線と、上層配線と、前記下層配線と前記上層配線とを電気的に接続する接続部とを有し、この接続部は、前記下層配線に接続されたコネクションパッドと、このコネクションパッドと前記上層配線とを接続するコンタクトとを有する半導体装置を製造する方法であって、前記下層配線に接続された前記コネクションパッドを形成するコネクションパッド形成ステップと、前記コネクションパッドに接続された前記コンタクトを形成するステップと、前記コンタクトに接続された前記上層配線を形成するステップとを有する前記半導体装置の製造方法において、前記コネクションパッド形成ステップは、半導体基板の主面に、前記下層配線として作用する領域を形成する第1のステップと、該領域が形成された前記主面全面に層間絶縁膜を形成する第2のステップと、前記層間絶縁膜に、前記領域に連絡するコンタクト孔を形成する第3のステップと、該コンタクト孔に第1の導電体を埋め込み、前記領域に接触する底面と前記層間絶縁膜の表面と同一平面をなす上面とを有する、前記第1の導電体からなるコンタクトプラグを、前記コンタクト孔に形成する第4のステップと、前記コンタクトプラグの前記上面上に第2の導電体を等方的に堆積し、前記コンタクトプラグの上面より大きい底面を有する、前記第2の導電体

からなるパッドを、前記コンタクトプラグの前記上面上及び前記層間絶縁膜の表面上に形成する第5のステップとを有し、前記コンタクトプラグと前記パッドとが前記コネクションパッドを構成していることを特徴とする半導体装置の製造方法が得られる。

【0035】

【発明の実施の形態】次に、本発明の実施例について図面を参照して説明する。

【0036】以下の説明は、ビット線より上層に電荷蓄積用キャパシタを形成するCOB構造のDRAMのコンタクト形成について説明するが、本発明の適用は、DRAMに限られたものではない。

【0037】[第1の実施例] 図1は、本発明の第1の実施例による半導体装置の製造方法を示す断面図であり、同様の参照符号で示した同様の部分を含む。

【0038】図1(a)のメモリセル部に示したように、半導体基板(シリコン基板)1上に素子分離酸化膜2及び選択用MOSトランジスタを形成する。選択用MOSトランジスタは、半導体基板1に形成されたソース領域及びドレイン領域としての不純物拡散領域3と、ソース領域及びドレイン領域間の半導体基板1上に、ゲート絶縁膜を介して形成されたゲート電極(これは上述のようにワード線を構成する)4とを有する。ゲート絶縁膜及びゲート電極4は、シリコン酸化膜又はシリコン窒化膜等の絶縁膜5で覆われている。

【0039】次に、ボロンとリンを含有したシリコン酸化膜(BPSG膜)などの層間絶縁膜6を半導体基板1全面に堆積して、ゲート電極4の段差を平坦化する。

【0040】その後、メモリセル部内の選択用MOSトランジスタの不純物拡散領域3に到達するコンタクト孔7を開孔する。コンタクト孔7は、ゲート電極4に対して、電気的絶縁が保たれるよう、自己整合コンタクト開孔プロセスなどを用いて開孔する。

【0041】続いて、コンタクト孔7をリンなどの不純物を含有する多結晶シリコンで埋め込む。多結晶シリコンの堆積は、図5で説明したような選択成長ではなく、基板1全面に堆積する成長法で行う。この場合には、選択成長法を用いる場合に比べて、コンタクト孔7底部に、半導体基板1の完全な清浄表面が露出してなくてもよい(オーミックコンタクトが形成される程度の清浄度でよい)。

【0042】この後、多結晶シリコンをエッチバックすることにより、図1(b)のメモリセル部に示されるように、コネクションパッドの多結晶シリコンからなるコンタクトプラグ8-1を形成する。

【0043】次に、図1(c)のメモリセル部に示されるように、シリコン酸化膜(BPSG膜)などの層間絶縁膜6上には成長されず前記多結晶シリコン上にのみに多結晶シリコンが成長するような選択成長法(例えば、気相成長法(CVD))を用いて、コネクションパッド

のパッド上部(パッド部)8-2を形成する。コンタクトプラグ8-1とパッド上部(パッド部)8-2とはコネクションパッドを構成する。

【0044】このとき、シリコンの成長は、等方的に成長するような条件を用いて行う。等方的選択成長の条件としては、シラン、ジシラン、ジクロロシランなどのガスと塩素や臭素などのガスを1~50m Torr減圧下で混合し、600~900℃の加熱をすることにより実現することができる。

【0045】これにより、パッド上部(パッド部)8-2をシリコンコンタクトプラグ8-1の直径以上に、大きくすることができる。また、成長の膜厚を適当に選んでやることにより、パッド上部(パッド部)8-2の間隔を微細加工限界以下にまですることも可能である。

【0046】この後、図1(d)のメモリセル部に示すように、図5(c)と同様に、層間絶縁膜6を堆積し、コネクションパッドのパッド上部(パッド部)8-2に至るコンタクト孔を開孔して、ビットコンタクト9-1、ビットコンタクト9-1に接続されるビット線10、及び容量コンタクト11を順に形成し、容量コンタクト11に接続される電荷蓄積用キャパシタを形成して、DRAMを完成する。電荷蓄積用キャパシタは、容量コンタクト11に接続されるキャパシタ下部電極12と、キャパシタ上部電極13と、キャパシタ下部電極12及びキャパシタ上部電極13間に形成される絶縁膜とからなる。

【0047】メモリセル部の周辺の周辺回路部は、図1(a)~図1(d)の周辺回路部として示されるように形成される。ここで、図1(d)の周辺回路部に示されるように、周辺回路部の不純物拡散領域3及びゲート電極4は、上述したようなコネクションパッドを介することなく、上述のビットコンタクト9-1と同様なビットコンタクト9-2及び9-3のみでビット線10に接続される。

【0048】[第2の実施例] 図2は、本発明の第2の実施例による半導体装置の製造方法を示す断面図であり、同様の参照符号で示した同様の部分を含む。

【0049】第2の実施例では、メモリセル部のみならず、周辺回路部にもコネクションパッドを形成する点が図1の第1の実施例と異なる。

【0050】図2(a)のメモリセル部及び周辺回路部に示したように、図1(a)の場合と同様に、半導体基板1上に素子分離酸化膜2を形成した後、シリコン酸化膜またはシリコン窒化膜などの絶縁膜5に覆われたゲート電極4を形成する。この場合、周辺回路部において、ゲート電極4を絶縁膜5に覆わなくてのよい。

【0051】次に、ボロンとリンを含有したシリコン酸化膜(BPSG膜)などの層間絶縁膜6を半導体基板1全面に堆積して、ゲート電極4の段差を平坦化する。

【0052】その後、図2(b)に示したように、メモ

リセル部内の選択用MOSトランジスタの不純物拡散領域3に到達するコンタクト孔7を開孔すると共に、周辺回路部の不純物拡散領域3及びゲート電極4に到達するコンタクト孔7-2及び7-3を開孔する。この際、周辺回路部においては、不純物拡散領域3に到達するコンタクト孔7-2のみを開孔しても良い。

【0053】続いて、コンタクト孔7、7-2、及び7-3をリンなどの不純物を含有する多結晶シリコンで埋め込み、多結晶シリコンからなるコンタクトプラグ8-1をコンタクト孔7、7-2、及び7-3に形成する。

【0054】このときの多結晶シリコンからなるコンタクトプラグ8-1は、第1の実施例と同じように、全面に堆積し、エッチバックすることにより行うので、選択成長法を用いる場合に比べて、コンタクト孔7、7-2、及び7-3底部に、半導体基板1の完全な清浄表面が露出してなくてもよい。又、周辺回路部のゲート電極上4には、タングステンシリサイドやチタンシリサイドなどのシリサイドやタングステンなどの金属が露出していても良い。

【0055】次に、図2(c)に示されるようように、図1(c)と同様にして、多結晶シリコン上のみ多結晶シリコンが成長するような選択成長法(例えば、CVD)を用いてコネクショパッドの多結晶シリコンからなるパッド上部(パッド部)8-2を形成する。

【0056】このとき、シリコンの成長は、等方的に成長するような条件を用いて行う。これにより、パッド上部(パッド部)8-2をシリコンコンタクトプラグ8-1の直径以上に、大きくすることができる。

【0057】また、周辺回路部のゲート電極4上でも、コンタクト孔7-3は、すでに、多結晶シリコンで埋められており、シリサイドは露出していないので、パッド上部(パッド部)8-2形成の選択性が崩れることはない。

【0058】この後、図2(d)に示すように、図1(d)と同様に、層間絶縁膜6''を堆積し、コネクショパッドのパッド上部(パッド部)8-2に至るコンタクト孔を開孔して、ビットコンタクト9-1、9-2、及び9-3、ビット線10、及び容量コンタクト11を順に形成し、容量コンタクト11に接続される電荷蓄積用キャパシタを形成して、DRAMを完成する。電荷蓄積用キャパシタは、キャパシタ下部電極12と、キャパシタ上部電極13と、キャパシタ下部電極12及びキャパシタ上部電極13間に形成される絶縁膜とからなる。

【0059】この第2の実施例では、周辺回路部にも、コネクショパッドを形成しているので、第1の実施例に比べて、周辺回路部におけるゲート電極4とコンタクト9-3の目合わせ余裕も小さくすることができ、チップ全体を縮小することができる。

【0060】[第3の実施例]図3は、本発明の第3の実施例による半導体装置の製造方法を示す断面図であ

り、同様の参照符号で示した同様の部分を含む。

【0061】第3の実施例では、容量コンタクト11下のみコネクショパッドを設ける点が図1の第1の実施例及び図2の第2の実施例とは異なる。

【0062】図3(a)に示したように、半導体基板1上に素子分離酸化膜2、ゲート電極4、層間絶縁膜6などを形成し、メモリセル部内の多結晶シリコンからなるコンタクトプラグ8-1-1、8-1-2、周辺回路部の多結晶シリコンからなるコンタクトプラグ8-1-3、8-1-4を形成するところまでは、第2の実施例の図2(a)及び図2(b)と同様である。

【0063】次に、図3(b)に示すように、タングステンシリサイドなどのビット線10となる導電体を堆積し、その上にキャップ絶縁膜14となるシリコン酸化膜やシリコン窒化膜などの絶縁膜を堆積する。

【0064】そして、フォトリソistなどをマスクに、絶縁膜、導電体を順にエッチングして、キャップ絶縁膜14付きのビット線10を形成する。

【0065】この後、段差被覆性に優れたCVD(Chemical Vapor Deposition)法などを用いて、シリコン酸化膜やシリコン窒化膜などの絶縁膜を全面に堆積し、異方性のエッチングを用いて、この絶縁膜をエッチバックすることにより、ビット線10に側壁絶縁膜15を形成する。

【0066】なお、図3では、理解しやすくするために、ビット線10をゲート電極4と平行に描いた。

【0067】側壁絶縁膜15形成後、容量コンタクト11(後に図3(d)で形成される)下の多結晶シリコンからなるコンタクトプラグ8-1-2のみが、自己整合的にビット線10間に露出し、多結晶シリコンからなるコンタクトプラグ8-1-1は、このままでビットコンタクトとなる。

【0068】続いて、図3(c)に示すように、多結晶シリコン上のみ多結晶シリコンが成長するような方法を用いて、多結晶シリコンからなるコンタクトプラグ8-1-2上に、多結晶シリコンからなるパッド上部(パッド部)8-2-1を形成する。

【0069】パッド上部(パッド部)8-2-1の形成に等方的に成長する方法を用いることにより、パッド上部(パッド部)8-2-1をコンタクトプラグ8-1-2の直径より大きくすることができる。

【0070】この後、層間絶縁膜6''を形成し、容量コンタクト11、キャパシタ下部電極12、絶縁膜、キャパシタ上部電極13等を形成して、DRAMを完成する。

【0071】第3の実施例では、ビットコンタクトを多結晶シリコンからなるコンタクトプラグ8-1-1形成時に行っているため、第1の実施例及び第2の実施例に比べて、コンタクトを開孔する回数が1回少なくなる。

【0072】

【発明の効果】以上、詳述したように本発明によれば、コネクションパッドの上部のパッドを形成する時のみ、選択成長を用いるので、選択成長の時間が短くて済む。すなわち、成長の選択性が崩れにくく、隣接パッドが接触することがない。したがって、パッド間の電氣的短絡による不良を低減することができる。

【0073】更に、多結晶シリコンからなるコンタクトブラグをあらかじめ形成し、その多結晶シリコンからなるコンタクトブラグ上に、多結晶シリコンからなるパッドを選択成長するので、コネクションパッドを形成する

下地の材料に依存せずに、不純物拡散領域とゲート電極へのコネクションパッドの形成を同時に行うことができる。

【0074】また、パッド形成をビット線形成後に行うことにより、従来より、リソグラフィ回数の少ない方法が実現される。

【図面の簡単な説明】

【図1】本発明の第1の実施例による半導体装置の製造方法を説明するための断面図である。

【図2】本発明の第2の実施例による半導体装置の製造方法を説明するための断面図である。

【図3】本発明の第3の実施例による半導体装置の製造方法を説明するための断面図である。

10

*【図4】従来の半導体装置の製造方法を説明するための平面図である。

【図5】上記従来の半導体装置の製造方法を説明するための断面図である。

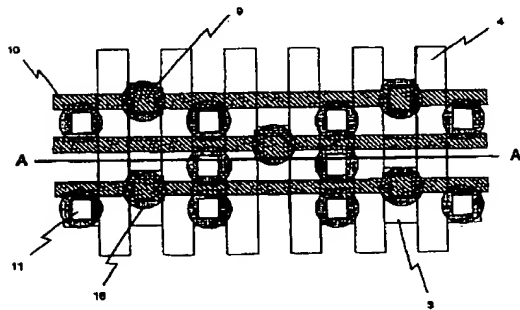
【図6】別の従来の半導体装置の製造方法を説明するための断面図である。

【図7】前記別の従来の半導体装置の問題点を説明するための平面図である。

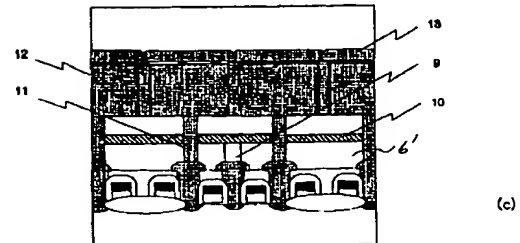
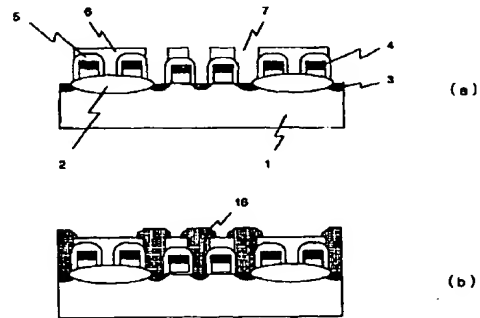
【符号の説明】

- 1 半導体基板
- 2 素子分離酸化膜
- 3 不純物拡散領域
- 4 ゲート電極
- 5 絶縁膜
- 6 層間絶縁膜
- 7 コンタクト
- 8-1 コンタクトブラグ
- 8-2 パッド部
- 9-1 ビットコンタクト
- 10 ビット線
- 11 容量コンタクト
- 12 キャパシタ下部電極
- 13 キャパシタ上部電極

【図4】



【図5】



【図1】

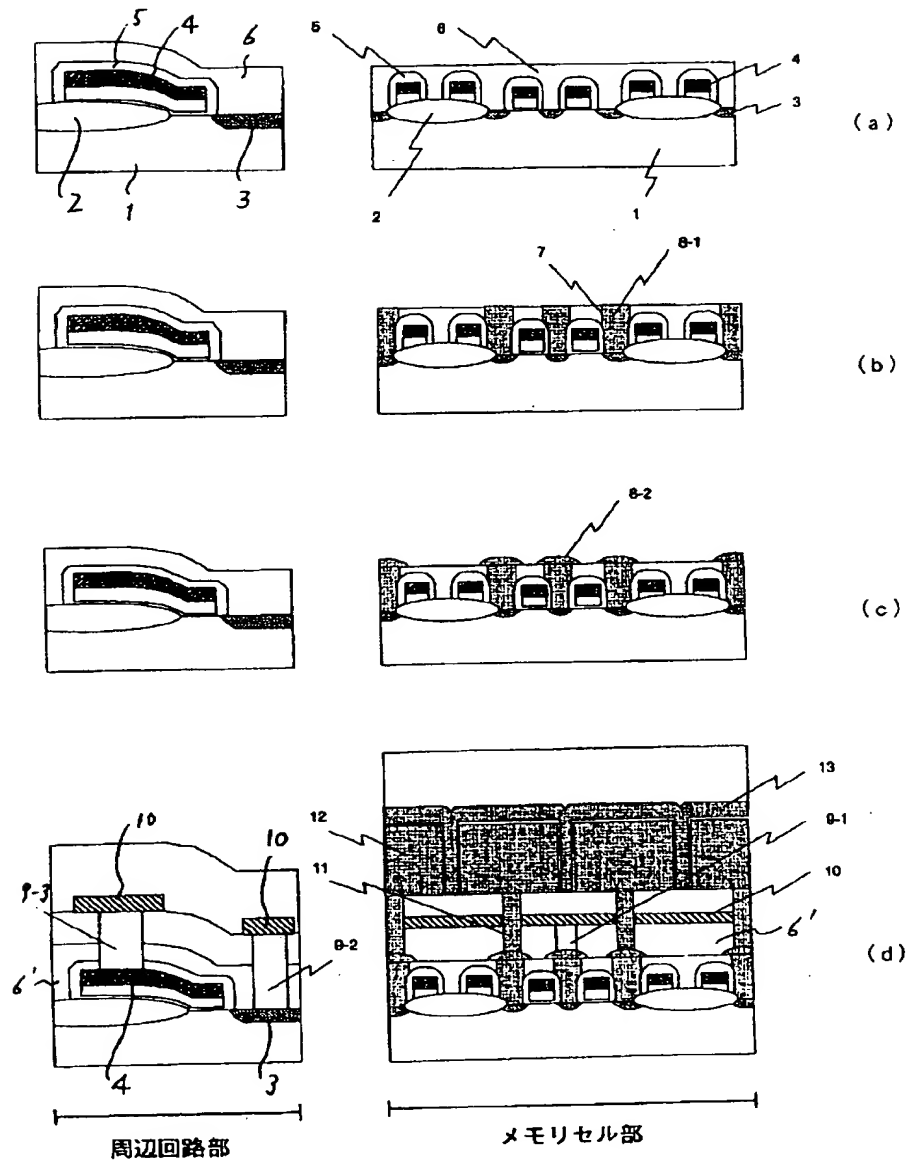


Figure 1 illustrates the manufacturing process of a semiconductor device, showing cross-sectional and plan views of the peripheral circuit and memory cell regions.

(a) Peripheral Circuit Region: Shows the initial structure with a substrate (1), a gate oxide layer (2), and a gate electrode (3). A gate oxide layer (4) is formed over the gate electrode. A gate oxide layer (5) is formed over the gate oxide layer (4). A gate oxide layer (6) is formed over the gate oxide layer (5).

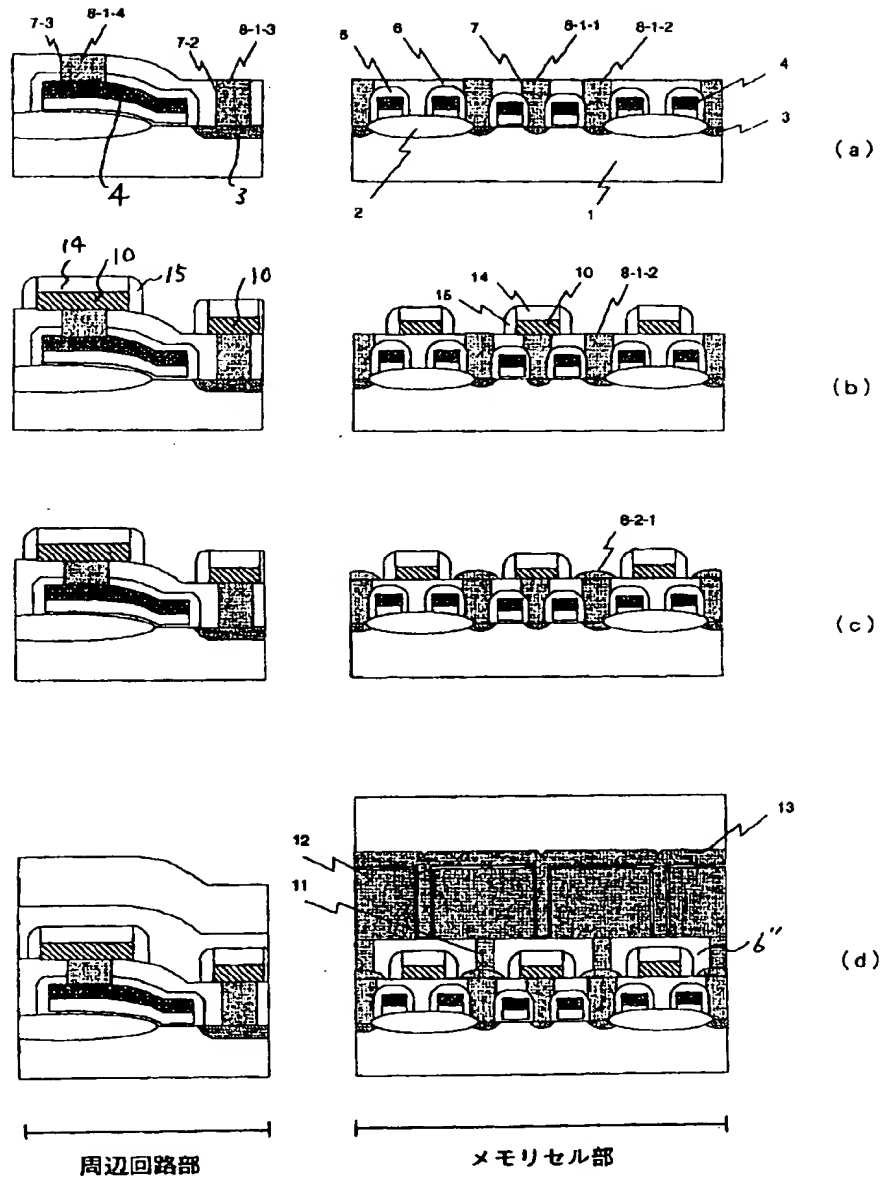
(b) Memory Cell Region: Shows the initial structure with a substrate (1), a gate oxide layer (2), and a gate electrode (3). A gate oxide layer (4) is formed over the gate electrode. A gate oxide layer (5) is formed over the gate oxide layer (4). A gate oxide layer (6) is formed over the gate oxide layer (5). A gate oxide layer (7) is formed over the gate oxide layer (6). A gate oxide layer (8-1) is formed over the gate oxide layer (7).

(c) Memory Cell Region: Shows the initial structure with a substrate (1), a gate oxide layer (2), and a gate electrode (3). A gate oxide layer (4) is formed over the gate electrode. A gate oxide layer (5) is formed over the gate oxide layer (4). A gate oxide layer (6) is formed over the gate oxide layer (5). A gate oxide layer (7) is formed over the gate oxide layer (6). A gate oxide layer (8-2) is formed over the gate oxide layer (7).

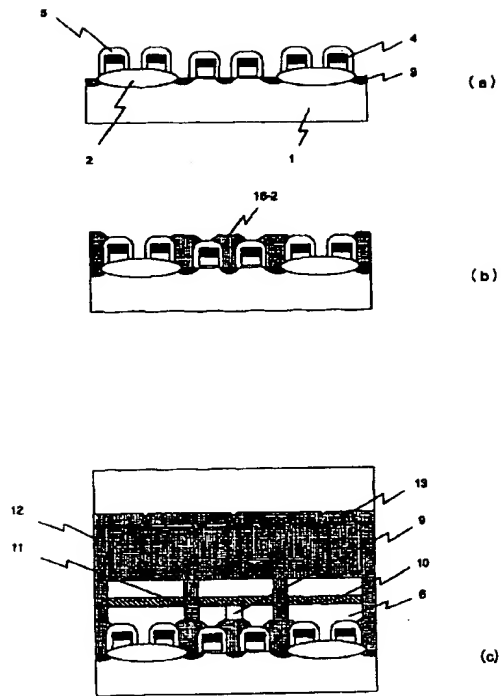
(d) Memory Cell Region: Shows the initial structure with a substrate (1), a gate oxide layer (2), and a gate electrode (3). A gate oxide layer (4) is formed over the gate electrode. A gate oxide layer (5) is formed over the gate oxide layer (4). A gate oxide layer (6) is formed over the gate oxide layer (5). A gate oxide layer (7) is formed over the gate oxide layer (6). A gate oxide layer (8-2) is formed over the gate oxide layer (7). A gate oxide layer (9-1) is formed over the gate oxide layer (8-2). A gate oxide layer (10) is formed over the gate oxide layer (9-1). A gate oxide layer (11) is formed over the gate oxide layer (10). A gate oxide layer (12) is formed over the gate oxide layer (11). A gate oxide layer (13) is formed over the gate oxide layer (12).

The diagram is divided into two main sections: **周辺回路部** (Peripheral Circuit Region) and **メモリセル部** (Memory Cell Region).

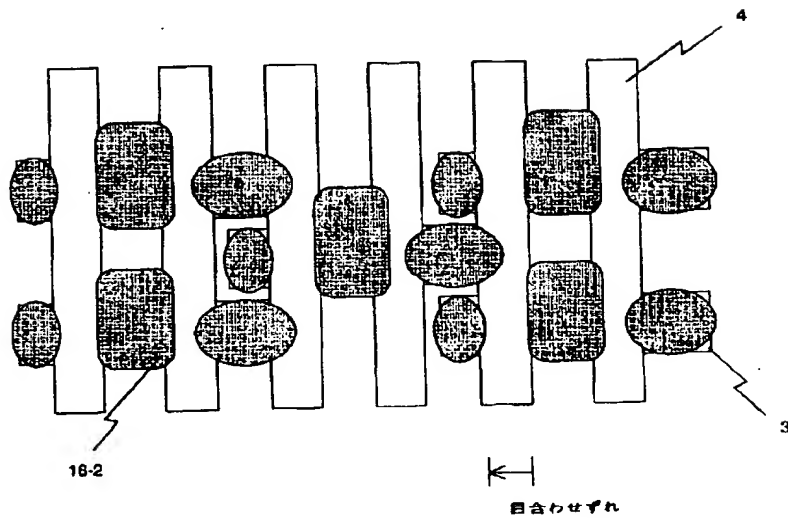
【図3】



【図6】



【図7】



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶ (11) 공개번호 특 1999-0088255
H01L 27/108 (43) 공개일자 1999년 12월 27일

(21) 출원번호 10-1999-0017151
(22) 출원일자 1999년 05월 13일
(30) 우선권주장 10-130451 1998년 05월 13일 일본(JP)
(71) 출원인 닛본 덴기 가부시끼가이샤 가네코 히사시
일본국 도쿄도 미나토구 시바 5조메 7방 1고
(72) 발명자 후카세 다다시
일본국 도쿄도 미나토구 시바 5조메 7방 1고 닛본 덴기 가부시끼가이샤 나미
고무로 마사히로
일본국 도쿄도 미나토구 시바 5조메 7방 1고 닛본 덴기 가부시끼가이샤 나미
(74) 대리인 조의제

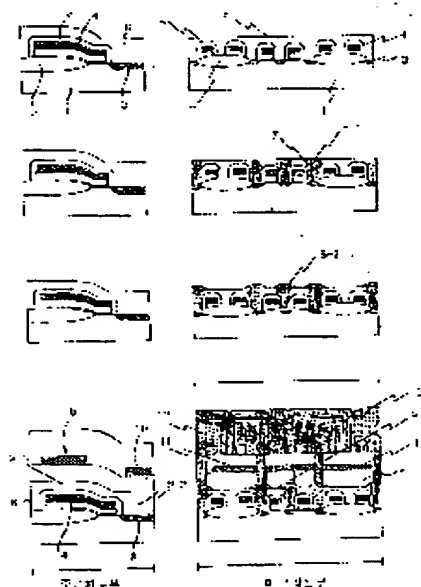
심사청구 : 있음

(54) 반도체장치 제조방법

요약

반도체장치 제조방법에 있어서, 반도체기판상에 MOS트랜지스터가 형성된다. 각 MOS트랜지스터는 불순물 확산영역과 게이트전극을 포함한다. MOS트랜지스터상에 제 1 층간절연막이 증착된다. 제 1 층간절연막 내에 불순물 확산영역에 도달하는 콘택홀이 오픈된다. 반도체기판의 전면에 도전체가 증착된다. 콘택홀 내에만 콘택플러그를 형성하기 위하여 증착된 도전체를 에치백한다. 선택성장방향을 사용하여 콘택플러그 상에만 패드부가 형성된다. 캐패시터콘택을 통해 패드부에 연결되도록 반도체기판위에 캐패시터가 형성된다.

도면



색인어

콘택플러그, 비트라인, 캐패시터

참고문헌

도면의 간단한 설명

도 1은 종래 반도체장치의 제조방법을 설명하는 평면도이다.

도 2a 내지 도 2c는 도 1에 도시된 종래 반도체장치의 제조방법을 설명하기 위한 단면도이다.

도 3a 내지 도 3c는 또 다른 종래 반도체장치의 제조방법을 설명하기 위한 단면도이다.

도 4는 도 3에 도시된 또 다른 종래의 반도체장치의 문제점을 설명하기 위한 도면이다.

도 5a 내지 도 5d는 본 발명의 제 1 실시예에 따른 반도체장치의 제조방법을 설명하기 위한 단면도이다.

도 6a 내지 도 6d는 본 발명의 제 2 실시예에 따른 반도체장치의 제조방법을 설명하기 위한 단면도이다.

도 7a 내지 도 7d는 본 발명의 제 3 실시예에 따른 반도체장치의 제조방법을 설명하기 위한 단면도이다.

※도면의 주요부분에 대한 부호의 설명

- | | |
|---------------|---------------|
| 1 : 반도체기판 | 2 : 소자격리산화막 |
| 3 : 불순물확산영역 | 4 : 게이트전극 |
| 5 : 절연막 | 6 : 층간절연막 |
| 7: 콘택홀 | 8-1 : 콘택플러그 |
| 8-2 : 패드부 | 9-1 : 비트콘택 |
| 10 : 비트라인 | 11 : 캐패시터콘택 |
| 12 : 캐패시터하부전극 | 13 : 캐패시터상부전극 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 DRAM(Dynamic Random Access Memory)등의 반도체장치 제조방법에 관한 것이다.

DRAM(Dynamic Random Access Memory)은 일반적으로 복수개의 메모리셀부가 매트릭스형태로 배열된 메모리셀어레이를 포함한다. 각각의 메모리셀부는 1쌍의 메모리셀로 이루어 진다. 여기에서, 각각의 메모리셀들은 하나의 선택용 MOS(Metal Oxide Semiconductor)트랜지스터와 하나의 전하축적용 캐패시터로 구성된다.

이 경우에서, 선택용 MOS트랜지스터는, 소오스, 드레인영역과 게이트전극을 갖는다. 이 구조에서, 소오스영역 또는 드레인영역은 캐패시터와 연결된다. 또한, MOS트랜지스터들의 게이트전극들은 각 메모리셀부에 각각의 워드라인을 구성하고 있다.

또한, 소오스영역 또는 드레인영역은 비트라인과 연결된다. 여기에서, 소오스영역 또는 드레인영역은 반도체기판내의 확산층으로서 형성되는 것을 알 수 있다.

최근, 반도체장치는 크기와 집적도에서 크게 미세화되고 있는 추세이다. 결과적으로, 배선간격의 설계 최소치수가 0.2 μ m보다 작은 반도체장치가 제조되었다.

이러한 미세가공기술을 사용하여 1Gb의 용량을 갖는 DRAM이 제조되었다. 이러한 DRAM에서, 제한된 영역 내에서 캐패시터의 고축적용량을 얻기 위하여 잘 알려진 COB(Capacitor over Bitline)구조가 자주 채택되었다. 이 경우에, COB구조에서 캐패시터는 비트라인위에 위치한다.

여기에서, 도 1에 도시된 바와 같이, 상술한 COB구조에 관한 기술이 일본 특개평 3-174766호에 개시되어 있다.

도 1에서, 복수개의 워드라인(4)이 수직방향으로 배열되어 있고 복수개의 비트라인(10)이 수평방향으로 배열되어 있다. 이 경우에서, 워드라인(4)과 비트라인(10)은 서로 교차한다. 이 경우에서, 상술한 바와 같이, 각각의 워드라인(4)은 게이트전극으로 구성되고 각 비트라인(10)은 소오스영역 또는 드레인영역으로 구성된다.

이러한 COB구조의 DRAM에서, 도 1에 도시된 바와 같이, 캐패시터콘택(11)은 인접하는 워드라인(4)사이에 위치한다. 캐패시터는 캐패시터콘택(11)을 통해서 소오스영역과 드레인영역중의 하나에 연결된다. 한편, 비트라인(10)은 비트콘택(9)을 통해서 소오스영역과 드레인영역중의 또 다른 하나에 연결된다.

여기에서, 참조부호 3은 반도체기판내에 위치한 소오스영역과 드레인영역을 형성하는 불순물확산영역을 나타낸다.

그러나, 배선들 사이의 공간(즉, 워드라인(4)간의 간격)이 감소되는 경우에, 열라인마진은 작아진다.

그 결과, 배선(워드라인)(4)과 캐패시터콘택(11)사이의 절연성이 충분히 확보될 수 없다. 따라서, 배

선과 콘택사이의 절연성을 확보하기 위해서 다양한 방법이 적용되어 왔다.

도 1에서, 각각의 소오스영역과 드레인영역에 연결패드(16)가 배치된다. 이에 의해, 워드라인(게이트전극)(4)과 캐패시터콘택(11)사이의 알라인마진이 커진다.

다음에, 도 2a 내지 도 2c에 연결패드(16)를 형성하는 방법에 대하여 설명한다. 여기에서, 이 방법도 상기 일본 특개평 3-174766호에 개시되어 있다.

도 2a에 도시된 바와 같이, 먼저, 반도체기판내에 소자격리산화막(2)과 선택MOS트랜지스터가 형성된다. 이 경우에, 각 MOS트랜지스터는 반도체기판(1)에 형성된 불순물확산영역(소오스영역과 드레인영역)(3)과, 소오스영역과 드레인영역사이에 게이트절연막을 개재하여 형성된 게이트전극(워드라인)(4)과, 그리고 게이트절연막과 게이트전극(4)를 덮는 절연막(5)을 포함한다.

이 상태에서, 반도체기판(1)상에 층간절연막(6)이 증착된다. 다음에, 소오스영역 및 드레인영역으로서의 불순물확산영역(3)을 노출시키기 위하여 층간절연막(6)내에 콘택홀(7)을 오픈시킨다.

이 경우에, 콘택홀(7)은, 게이트전극(4)으로부터 전기적으로 절연시키기 위하여, 잘 알려진 셀프알라인 공정을 사용하여 오픈된다.

다음에, 도 2b에 도시된 바와 같이, 연결패드(16)가 콘택홀(7)내에만 선택적으로 성장된다. 여기에서, 연결패드(16)는, 예컨대 폴리실리콘 또는 단결정실리콘으로 형성된다.

이 때에, 폴리실리콘은 콘택홀(7)의 깊이 이상으로 성장된다. 이에 의해, 폴리실리콘은 콘택홀(7)에서 오버플로우된다. 그 결과, 연결패드(16)의 상부의 직경은 콘택홀(7)보다 크다.

다음에, 도 2c에 도시된 바와 같이, 그 위에 층간절연막(6)이 증착된다. 이어서, 연결패드(16)의 상부에 도달하는 콘택홀이 오픈된다.

다음에, 비트콘택(9), 이 비트콘택(9)에 연결되는 비트라인(10), 그리고 캐패시터콘택(11)이 연속적으로 형성된다. 또한, 캐패시터콘택(11)과 연결되는 캐패시터를 형성하여 DRAM을 완성한다.

이 경우에, 캐패시터는 캐패시터콘택(11)과 연결되는 캐패시터 하부전극(12)과, 캐패시터 상부전극(13)과, 그리고 캐패시터 하부전극(12)과 캐패시터 상부전극(13)사이에 형성된 절연막을 포함한다.

이 방법에서, 연결패드(16)의 상면은 커지게 된다. 그 결과, 비트콘택(9)과 캐패시터콘택(11)을 형성하기 위한 콘택홀을 형성하는 동안 게이트전극(4)에 대한 알라인마진이 커지게 된다.

다음에, 도 3a 내지 도 3c에 iedm 96 요약서 589 - 592 에 개시된 연결패드의 또 다른 형성방법에 관하여 설명한다.

도 3a에 도시된 바와 같이, 먼저, 반도체기판(1)상에 소자격리산화막(2)과 선택MOS트랜지스터가 형성된다. 이 경우에, 각 MOS트랜지스터는 반도체기판(1)에 형성된 불순물확산영역(소오스영역과 드레인영역)(3)과, 반도체기판(1)상의 소오스영역과 드레인영역사이에 게이트절연막을 개재하여 형성된 게이트전극(워드라인)(4)을 포함한다.

또한, 게이트전극(4)의 상부와 측벽상에 실리콘산화막 또는 실리콘질화막등의 절연막(5)이 형성된다. 게이트전극(4)의 측벽을 덮는 절연막(5)은 잘 알려진 이방성 드라이에칭을 사용하여 형성된다.

절연막(5)이 형성된 다음에, MOS트랜지스터의 소오스영역과 드레인영역을 형성하기 위한 불순물확산영역(3)을 게이트전극(4)에 대하여 셀프알라인방식으로 노출시킨다.

다음에, 도 3b에 도시된 바와 같이, 실리콘노출부(즉, 불순물확산영역)상에만, 예컨대 폴리실리콘이 성장되어 연결패드(16-2)를 형성한다. 이 경우에, 실리콘산화막 또는 실리콘질화막등의 절연막(5)상에는 폴리실리콘이 성장되지 않는다.

이 폴리실리콘은 두 단계로 성장된다. 즉, 1단계로, 이방성 에피택셜성장을 수행하여 인접한 연결패드(16-2)가 서로 접촉되지 않게 한다.

2단계에서, 연결패드(16-2)가 게이트전극(4)의 높이를 초과할 때, 도 3b에 도시된 바와 같이, 연결패드(16-2)의 상면을 확장시키기 위하여 등방성성장을 수행한다.

다음에, 도 3c에 도시된 바와 같이, 그 위에 층간절연막(6)이 증착된다. 이어서, 연결패드(16-2)의 상부에 도달하는 콘택홀이 오픈된다.

다음에, 비트콘택(9), 이 비트콘택(9)에 연결되는 비트라인(10), 그리고 캐패시터콘택(11)이 연속적으로 형성된다. 또한, 캐패시터콘택(11)과 연결되는 캐패시터를 형성하여 DRAM을 완성한다.

이 경우에, 캐패시터는 캐패시터콘택(11)과 연결되는 캐패시터 하부전극(12)과, 캐패시터 상부전극(13)과, 그리고 캐패시터 하부전극(12)과 캐패시터 상부전극(13)사이에 형성된 절연막을 포함한다.

본 발명이 이루고자 하는 기술적 과제

상술한 종래의 방법은 하기와 같은 문제점들을 가진다.

즉, 도 2a 내지 도 2c에 도시된 방법에서, 콘택홀(7)이 개구된 다음에 바로 실리콘이 선택적으로 성장된다. 그 결과, 이 성장은 콘택홀(7)로부터 실리콘이 오버플로우될 때까지 수행되어야 한다. 그 결과, 선택성장시간이 길어지게 된다.

일반적으로, 실리콘의 선택성장은 노출된 표면상의 성장행생성물의 차이를 이용하여 수행된다. 이러한 조건에서, 성장시간이 길어질 수록, 또는 성장막의 두께가 두꺼울 수록, 성장의 선택도는 작아지게 된다.

결과적으로, 도 2a 내지 도 2c에 도시된 방법에서, 실리콘성장의 선택도가 악화되기 때문에, 인접하는 연결패드(16)이 서로 접촉하게 된다.

또한, 상술한 선택성장에서 콘택홀(7)의 저부상에는 실리콘의 완전청정표면이 노출되어야 한다. 그러나, 0.2 μ m이하의 미세콘택홀(7)내에서 저부상에 완전청정표면을 얻기가 곤란하다.

한편, 도 4에 도시된 바와 같이, 도 3에 도시된 방법에서 불순물확산영역(3)의 패턴과 게이트전극(4)의 패턴사이에 얼라인오차(얼라인편차)가 발생하는 경우에, 용량콘택(11)과 접속되는 콘택패드(16-2)의 일측은 충분히 성장되지 않을 가능성이 있다. 이는 게이트전극(4)의 얼라인오차(또는 편차)에 기인하여 불순물확산영역(3)이 충분히 노출되지 않고, 실리콘의 성장속도가 느려지기 때문이다.

또한, 최근의 게이트전극(4)은 일반적으로 그 저항을 저하시키기 위해서, 텅스텐실리사이드나 티타늄실리사이드 등의 실리사이드와 폴리실리콘의 이중구조로 형성된다.

이 구조에서는, 게이트전극(4)상에 콘택홀이 오픈되는 경우에, 그 저부에는 실리사이드가 노출된다. 그러나, 실리사이드상에서 실리콘을 선택적으로 성장시키는 것은 곤란하다. 이러한 조건에서, 게이트전극상에 연결패드를 형성하는 것은 불가능하다.

본 발명의 목적은 연결패드를 형성하기 위한 선택적성장동안 인접하는 연결패드들사이의 절연결합을 방지할 수 있는 반도체장치 제조방법을 제공하는 것이다.

발명의 구성 및 작용

본 발명에 따르면, 반도체기판상에 MOS트랜지스터가 형성된다. 각 MOS트랜지스터는 불순물확산영역과 게이트전극을 포함한다. 여기에서, 불순물확산영역은 소오스 및 드레인영역으로서 제공된다.

또한, MOS트랜지스터상에 제 1 층간절연막이 증착된다. 제 1 층간절연막내에 불순물확산영역에 도달하는 콘택홀이 오픈된다.

다음에, 반도체기판의 전면에 도전체가 증착된다. 이어서, 증착된 도전체가 에치백되어 콘택홀내에만 콘택플러그가 형성된다. 또한, 선택성장방법을 사용하여 패드부가 콘택플러그상에만 형성된다.

마지막으로, 반도체기판상에 캐패시터가 형성되어 캐패시터콘택을 통해 패드부와 연결된다.

이 경우에, 각 콘택플러그는 제 1 직경을 가지며, 각 패드부는 제 2 직경을 갖는다. 여기에서, 제 2 직경은 제 1 직경보다 크다.

패드부를 확장시키기 위하여 등방성선택성장방법을 사용하여 콘택플러그상에만 패드부가 형성된다. 이 경우에, 이방성선택성장방법은 화학기상증착(CVD)을 포함한다.

이 때, 콘택홀은 게이트전극으로부터 절연시키기 위하여 셀프얼라인방식을 사용하여 오픈된다.

또한, 제 1 층간절연막상에 제 2 층간절연막이 증착된다. 여기에서, 콘택플러그는 제 2 층간절연막내에 형성된다.

캐패시터는 캐패시터 하부전극, 캐패시터 상부전극과, 그리고 캐패시터 하부전극과 캐패시터 상부전극사이의 절연막을 포함한다.

제 1 실시예

도 5a 내지 도 5d를 참조하여, 본 발명의 제 1 실시예를 설명한다.

도 5a에 도시된 바와 같이, 먼저, 반도체기판(실리콘기판)(1)상에 소자격리산화막(2)과 선택MOS트랜지스터가 형성된다. 이 경우에, 각 MOS트랜지스터는 반도체기판(1)에 형성된 불순물확산영역(소오스 및 드레인영역)(3)과, 반도체기판(1)상의 소오스영역과 드레인영역사이에 게이트절연막을 개재하여 형성된 게이트전극(워드라인)(4)을 포함한다.

이 경우에, 게이트절연막과 게이트전극(4)은 실리콘산화막 또는 실리콘질화막 등의 절연막(5)으로 덮여진다.

다음에, 실리콘기판(1)의 전면에 붕소 및 인을 함유하는 실리콘산화막(예컨대, BPSG막)등의 층간절연막(6)이 증착된다. 이에 의해, 도 5a에 도시된 바와 같이, 게이트전극(4)의 단차를 평탄화한다.

다음에, 메모리셀부내의 선택MOS트랜지스터의 불순물확산영역(3)에 도달하는 콘택홀(7)을 오픈한다. 이 경우에, 콘택홀(7)은 셀프얼라인공정을 사용하여 오픈되어 게이트전극(4)에 대한 전기적 절연을 유지한다.

다음에, 각 콘택홀(7)은 인등의 불순물을 함유하는 폴리실리콘으로 매립된다. 여기에서, 폴리실리콘은 도 2에 도시된 선택성장을 사용하여 증착되지 않는다는 것을 알 수 있다. 제 1 실시예에서는 폴리실리콘이 기판(1)의 전면에 증착된다.

이 방법에 따르면, 선택성장방법과 비교하여 콘택홀(7)의 저부상에 반도체기판(1)의 완전청정표면이 노출될 필요가 없다.

다음에, 폴리실리콘의 에치백공정이 수행된다. 이에 의해, 도 5b에 도시된 바와 같이, 메모리셀부의 연결패드의 일부로서 폴리실리콘으로 구성된 콘택플러그(8-1)가 형성된다.

다음에, 도 5c에 도시된 바와 같이, 메모리셀부내의 콘택플러그(8-1)상에 연결패드의 패드상부(패드부)(8-2)가 형성된다. 이 경우에, 패드부(8-2)는 선택성장방법(예컨대,

화학기상증착(CVD))을 사용하여 형성된다.

이 선택성장방법에서, 폴리실리콘은 폴리실리콘상에서만 성장되고, 실리콘산화막(BPSG막)등의 층간절연막(6)상에서는 폴리실리콘이 성장되지 않는다. 여기에서, 연결패드는 콘택플러그(8-1)와 패드상부(패드부)(8-2)로 구성되는 것을 알 수 있다.

이 경우에, 실리콘은 등방성 성장을 사용하여 성장된다. 이 등방성 성장은 다음의 조건에서 수행된다. 즉, 실란, 디실란, 디클로실란등의 가스와 염소나 브롬등의 가스를 1~50mtorr압력으로 혼합하고, 600~900℃의 온도에서 열처리를 수행한다.

이로써, 도 5c에 도시된 바와 같이, 패드부(8-2)의 직경은 콘택플러그(8-1)의 직경보다 크게 된다. 이 경우에, 성장 막두께를 적절하게 선택함으로써 패드부(8-2)사이의 간격을 미세 가공한계 이하에까지 제한하는 것도 가능하다.

다음에, 도 5d에 도시된 바와 같이, 메모리셀부에 층간절연막(6')이 증착된다. 이어서, 연결패드의 패드부(8-2)에 도달하는 콘택홀을 도 2c와 같이 오픈한다.

다음에, 비트콘택(9-1), 비트콘택(9-1)에 연결되는 비트라인(10), 그리고 캐패시터콘택(11)이 순차적으로 형성된다. 또한, 캐패시터콘택(11)에 연결되는 캐패시터가 형성되어 DRAM을 완성한다.

이 경우에, 캐패시터는 캐패시터콘택(11)과 연결되는 캐패시터 하부전극(12)과, 캐패시터 상부전극(13)과, 그리고 캐패시터 하부전극(12)과 캐패시터 상부전극(13)사이에 형성된 절연막을 포함한다.

한편, 도 5d에 도시된 바와 같이, 주변회로부에서는 불순물확산영역(3)과 게이트전극(4)이 콘택패드없이 비트라인과 연결된다.

제 2 실시예

도 6a 내지 도 6d를 참조하여, 본 발명의 제 2 실시예를 설명한다.

제 2 실시예에서는, 제 1 실시예와는 다르게 메모리셀부에 추가하여 주변회로부에도 연결패드가 형성된다.

도 6a에 도시된 바와 같이, 메모리셀부와 주변회로부의 반도체기판(1)상에 소자격리산화막(2)이 형성되고, 메모리셀부와 주변회로부에 게이트전극(4)이 형성된다.

이 경우에, 메모리셀부와 주변회로부에서 게이트전극(4)이 절연막(5)으로 덮여진다. 그러나, 주변회로부에서는 게이트전극(4)이 절연막(5)으로 덮여지지 않아도 좋다.

다음에, 실리콘기판(1)의 전면에 불소 및 인을 함유하는 실리콘산화막(예컨대, BPSG막)등의 층간절연막(6)이 증착된다. 이에 의해, 도 6a에 도시된 바와 같이, 게이트전극(4)의 단차를 평탄화한다.

다음에, 도 6b에 도시된 바와 같이, 메모리셀부내의 선택MOS트랜지스터의 불순물확산영역(3)에 도달하는 콘택홀(7)을 오픈한다. 또한, 주변회로부에 불순물확산영역(3)과 게이트전극(4)에 도달하는 콘택홀(7-2, 7-3)을 오픈한다. 이 경우에, 불순물확산영역(3)에 도달하는 콘택홀(7-2)만이 주변회로부에서 오픈되어도 좋다.

이어서, 각 콘택홀(7, 7-2, 7-3)이 인등의 불순물을 함유하는 폴리실리콘으로 매립되어 콘택홀(7, 7-2, 7-3)내에 콘택플러그(8-1)를 형성한다.

이 경우에, 폴리실리콘으로 구성된 콘택플러그(8-1)는 반도체기판(1)의 전면에 폴리실리콘을 증착하고 제 1 실시예와 같이 에치백함으로써 형성된다.

결과적으로, 선택성장방법과 비교하여 각 콘택홀(7, 7-2, 7-3)의 저부상에 반도체기판(1)의 완전정정표면이 노출될 필요가 없다.

또한, 주변회로부의 게이트전극(4)상에 텅스텐실리사이드와 티타늄실리사이드등의 금속이 노출되어도 좋다.

이어서, 도 6c에 도시된 바와 같이, 메모리셀과 주변회로부의 콘택플러그(8-1)상에 연결패드의 패드상부(패드부)(8-2)가 형성된다.

이 경우에, 패드부(8-2)는 제 1 실시예에서와 같이 선택성장방법(예컨대, CVD)을 사용하여 형성된다. 이 선택성장방법에서, 폴리실리콘은 폴리실리콘상에만 성장되고, 층간절연막(6)상에는 폴리실리콘이 성장되지 않는다. 연결패드는 콘택플러그(8-1)와 패드상부(패드부)(8-2)로 구성된다.

이 경우에, 도 6c에 도시된 바와 같이, 패드부(8-2)의 직경은 콘택플러그(8-1)의 직경보다 크게 된다.

이 경우에, 주변회로부에서 게이트전극(4)상의 콘택홀(7-3)이 사전에 폴리실리콘으로 매립되어 실리콘이 드가 노출되지 않는 상태로 된다. 그 결과, 패드부(8-2)의 선택성이 악화되거나 소실되지 않는다.

다음에, 도 6d에 도시된 바와 같이, 메모리셀부와 주변회로부에 층간절연막(6')이 증착된다. 이어서, 연결패드의 패드부(8-2)에 도달하는 콘택홀을 도 5c와 같이 오픈한다.

다음에, 비트콘택(9-1, 9-2, 9-3), 비트라인(11), 그리고 캐패시터콘택(11)이 순차적으로 형성된다. 또한, 캐패시터콘택(11)에 연결되는 캐패시터가 형성되어 DRAM을 완성한다.

이 경우에, 캐패시터는 캐패시터콘택(11)과 연결되는 캐패시터 하부전극(12)과, 캐패시터 상부전극(13)과, 그리고 캐패시터 하부전극(12)과 캐패시터 상부전극(13)사이에 형성된 절연막을 포함한다.

상술한 바와 같이, 제 2 실시예에서는 메모리셀부에 추가하여 주변회로부에도 연결패드를 형성한다. 그

결과, 제 1 실시예와 비교하여 주변회로부에서도 게이트전극(4)과 콘택(9-3)사이의 열라인마진이 작아진다. 또한, 접도 전체적으로 축소될 수 있다.

제 3 실시예

도 7a 내지 도 7d를 참조하여, 본 발명의 제 3 실시예를 설명한다.

제 3 실시예에서는, 제 1 및 제 2 실시예와는 다르게 캐패시터콘택(11)의 아래에만 연결패드가 형성된다.

도 7a에 도시된 바와 같이, 반도체기판(1)상에 소자격리산화막(2), 게이트전극(4), 그리고 층간절연막(6)이 형성된다.

또한, 제 2 실시예에서와 같이, 메모리셀부에는 폴리실리콘으로 구성된 콘택플러그(8-1-1, 8-1-2)가 형성되고 주변회로부에는 폴리실리콘으로 구성된 콘택플러그(8-1-3, 8-1-4)가 형성된다.

다음에, 도 7b에 도시된 바와 같이, 도전체가 증착되고, 그위에 절연막이 증착된다. 이 경우에, 도전체는 비트라인(10)을 형성하고 텅스텐실리사이드 또는 다른 적당한 물질로 형성된다. 또한, 절연막은 캡절연막(14)을 형성하고, 실리콘산화막 또는 실리콘질화막으로 형성된다.

다음에, 포토레지스트를 마스크로 사용하여 절연막과 도전체를 순차적으로 에칭한다. 이에 의해, 기판(1)상에 캡절연막(14)을 갖는 비트라인(10)이 형성된다.

이어서, 스텝커버리지가 우수한 CVD(화학기상증착)를 사용하여 전면에 실리콘산화막 또는 실리콘질화막 등의 절연막을 증착한다.

다음에, 이방성etch를 사용하여 절연막을 에치백함으로써 비트라인(10)의 측벽절연막(15)을 형성한다. 여기에서, 도 7a 내지 도 7d를 용이하게 이해하기 위하여 비트라인(10)을 게이트전극(4)과 평행하게 도시하였다.

측벽절연막(15)을 형성한 다음, 셀포일라인방식으로 폴리실리콘으로 구성된 캐패시터콘택(11)아래의 비트라인(10)사이의 콘택플러그(8-1-2)만을 노출시킨다. 한편, 폴리실리콘으로 구성된 콘택플러그(8-1-1)는 그대로 비트콘택이 된다.

다음에, 도 7c에 도시된 바와 같이, 폴리실리콘상에만 폴리실리콘을 성장시키는 방법을 이용하여 폴리실리콘으로 구성된 콘택플러그(8-1-2)상에 폴리실리콘으로 구성된 패드상부(패드부)(8-2-1)를 형성한다.

이 경우에, 패드부(8-2-1)은 등방성성장방법을 사용하여 형성된다. 이에 의해, 도 7c에 도시된 바와 같이, 패드부(8-2-1)의 직경은 콘택플러그(8-1-2)의 직경보다 크다.

다음에, 층간절연막(6)이 증착되고, 캐패시터콘택(11), 캐패시터 하부전극(12), 절연막, 그리고 캐패시터 상부전극(13)이 형성되어 DRAM을 완성한다.

이 경우에, 제 3 실시예에서는 폴리실리콘으로 구성된 콘택플러그(8-1-1)가 형성되는 경우에 비트콘택이 형성된다. 그 결과, 제 1 및 제 2 실시예와 비교하여 콘택을 오픈하는 횟수가 1회 감소된다.

제 1 내지 제 3 실시예에서 비트라인상에 캐패시터가 형성된 COB구조를 갖는 DRAM에 대하여 설명하였지만, 본 발명은 상술한 형태의 DRAM에 제한되지 않고, 다른 형태의 DRAM에도 적용될 수 있다.

발명의 효과

상술한 바와 같이, 선택성장방법은 패드부형성동안에만 수행된다. 결과적으로, 선택성장시간이 짧아지게 된다.

즉, 성장선택도가 악화되거나 소실되기 어렵기 때문에 인접하는 패드부는 서로 접촉되지 않는다. 그 결과, 연결패드들간의 전기적 쇼트에 의한 결함이 감소될 수 있다.

또한, 폴리실리콘으로 형성된 콘택플러그가 미리 형성되고, 이 콘택플러그상에 패드부가 선택적으로 성장된다. 결과적으로, 패드부를 형성하는 기초의 재료에 의존하지 않고, 불순물확산영역과 게이트전극을 위한 패드부가 동시에 형성될 수 있다.

(57) 청구의 범위

청구항 1. 반도체기판을 갖는 반도체장치 제조방법에 있어서:

반도체기판상에 소오스 및 드레인영역으로서 제공되는 불순물확산영역들과 게이트전극을 포함하는 MOS트랜지스터들을 형성하는 단계와;

상기 MOS트랜지스터위에 제 1 층간절연막을 증착하는 단계와;

상기 제 1 층간절연막내에 상기 불순물확산영역들에 도달하는 콘택홀들을 오픈하는 단계와;

상기 반도체기판의 전면에 도전체를 증착하는 단계와;

상기 증착된 도전체를 에치백하여 상기 콘택홀들내에만 콘택플러그들을 형성하는 단계와;

선택성장방법을 이용하여 상기 콘택플러그들상에만 패드부들을 형성하는 단계와; 그리고

상기 반도체기판상에 캐패시터콘택들을 통하여 상기 패드부들과 연결되도록 캐패시터를 형성하는 단계를 구비하는 반도체장치 제조방법.

청구항 2. 제 1 항에 있어서, 상기 각 콘택플러그들은 제 1 직경을 갖고 각 상기 패드부는 제 2 직경

을 가지며, 상기 제 2 직경은 상기 제 1 직경을 초과하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 3. 제 1 항에 있어서, 상기 패드부들은, 상기 패드부들을 확장시키기 위하여, 등방성선택성장을 사용하여 상기 콘택플러그들상에만 형성되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 4. 제 3 항에 있어서, 상기 등방성선택성장방법은 화학기상증착을 구비하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 5. 제 1 항에 있어서, 상기 게이트전극들의 단차를 평탄화기 위하여 상기 제 1 층간절연막이 증착되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 6. 제 1 항에 있어서, 상기 제 1 층간절연막은 실리콘산화막으로 형성되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 7. 제 1 항에 있어서, 상기 반도체장치는 메모리셀부를 포함하고, 상기 메모리셀부내에 상기 MOS트랜지스터들이 형성되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 8. 제 1 항에 있어서, 상기 콘택홀들을 상기 게이트전극들로부터 절연되도록 셀프얼라인방식을 사용하여 오픈되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 9. 제 1 항에 있어서, 상기 도전체는 폴리실리콘을 구비하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 10. 제 1 항에 있어서, 상기 제 1 층간절연막상에 제 2 층간절연막이 증착되고, 상기 제 2 층간절연막내에 상기 콘택플러그들이 형성되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 11. 제 1 항에 있어서, 상기 반도체기판위에 비트라인이 형성되고, 상기 비트라인은 비트콘택을 통해서 상기 패드부와 연결되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 12. 제 11 항에 있어서, 상기 비트콘택은 상기 제 2 층간절연막내에 형성되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 13. 제 1 항에 있어서, 상기 캐패시터는 캐패시터 하부전극, 캐패시터 상부전극과, 그리고 캐패시터 하부전극과 캐패시터 상부전극사이의 절연막을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 14. 제 11 항에 있어서, 상기 게이트전극은 워드라인으로서 제공되고, 상기 비트라인과 상기 워드라인은 서로 교차하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 15. 제 1 항에 있어서, 상기 반도체장치는 DRAM을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 16. 제 15 항에 있어서, 상기 캐패시터는 상기 비트라인위에 형성되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 17. 제 1 항에 있어서, 상기 패드부들은 상기 캐패시터콘택들의 아래에만 형성되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 18. 제 17 항에 있어서, 상기 비트라인은 상기 콘택플러그에 직접적으로 연결되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 19. 주변회로부에서 반도체기판을 갖는 반도체장치 제조방법에 있어서:

반도체기판상에 불순물확산영역과 게이트전극을 포함하는 하나이상의 MOS트랜지스터를 형성하는 단계와;

상기 MOS트랜지스터위에 제 1 층간절연막을 증착하는 단계와;

상기 제 1 층간절연막내에 상기 불순물확산영역과 게이트전극에 도달하도록 콘택홀들을 오픈하는 단계와;

상기 반도체기판의 전면에 도전체를 증착하는 단계와;

상기 증착된 도전체를 에치백하여 상기 콘택홀들내에만 콘택플러그들을 형성하는 단계와;

선택성장방법을 이용하여 상기 콘택플러그들상에만 패드부들을 형성하는 단계와; 그리고

상기 반도체기판위에 비트콘택들을 통하여 상기 패드부들과 연결되도록 비트라인을 형성하는 단계를 구비하는 반도체장치 제조방법.

청구항 20. 제 19 항에 있어서, 상기 각 콘택플러그들은 제 1 직경을 갖고 각 상기 패드부는 제 2 직경을 가지며, 상기 제 2 직경은 상기 제 1 직경을 초과하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 21. 제 19 항에 있어서, 상기 패드부들은, 상기 패드부들을 확장시키기 위하여, 등방성선택성장을 사용하여 상기 콘택플러그들상에만 형성되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 22. 제 21 항에 있어서, 상기 등방성선택성장방법은 화학기상증착을 구비하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 23. 제 19 항에 있어서, 상기 제 1 층간절연막상에 제 2 층간절연막이 증착되고, 상기 제 2 층간절연막내에 상기 콘택플러그들이 형성되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 24. 제 23 항에 있어서, 상기 제 2 층간절연막내에 상기 비트콘택이 형성되는 것을 특징으로 하는 반도체장치 제조방법.

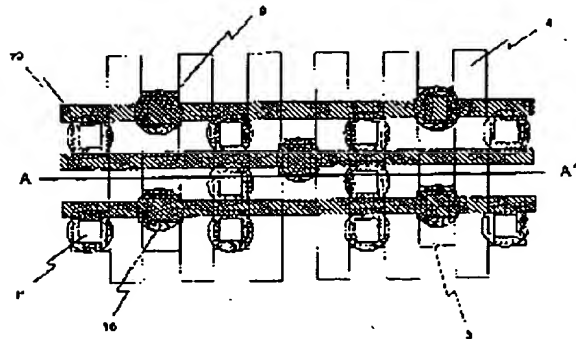
하는 반도체장치 제조방법.

형구항 25. 제 19 항에 있어서, 상기 반도체장치는 DRAM을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

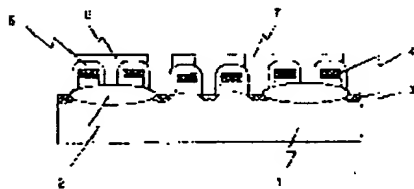
형구항 26. 제 19 항에 있어서, 상기 게이트전극은 그의 표면에 살리사이드막을 가지며, 상기 살리사이드막상에 상기 콘택플러그가 형성되는 것을 특징으로 하는 반도체장치 제조방법.

도면

도표 1



502a



도 26

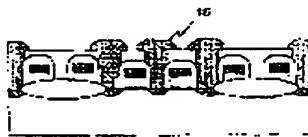
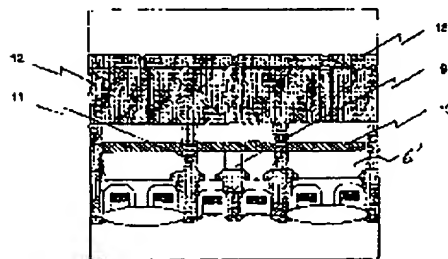
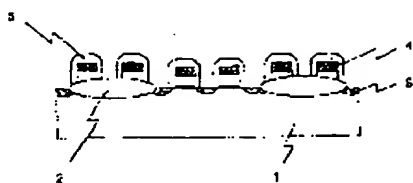


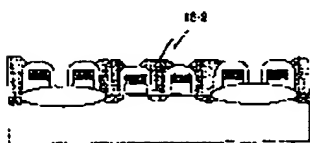
도표 20



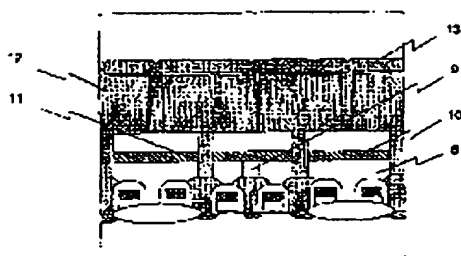
도면3a



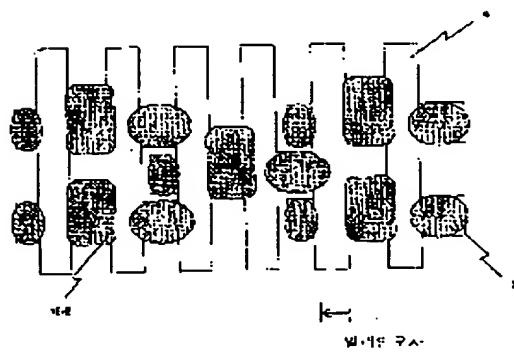
도면3b



도면3c



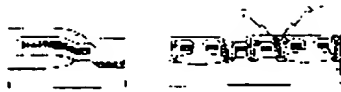
도면4



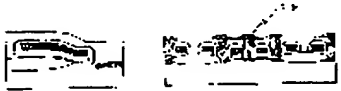
도면5a



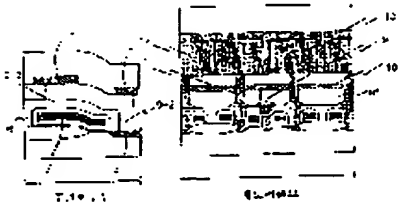
도 5b



도 5c



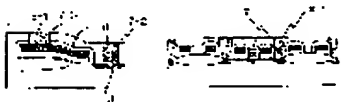
도 5d



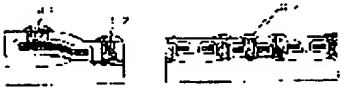
도 6a



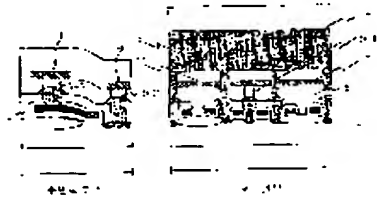
도 6b



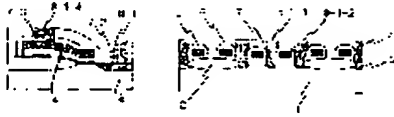
도 6c



도 6d



도 87a



도 87b



도 87c



도 87d

